



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

BEST AVAILABLE COPY

(11)Publication number: 10097511

(43)Date of publication of application: 14.04.1998

(51)Int.Cl.

G06F 15/16

G06F 9/06

(21)Application number: 09098838

(71)Applicant:

LATTICE SEMICONDUCTOR
CORP

(22)Date of filing: 16.04.1997

(72)Inventor:

TANG HOWARD
PARKER DANIEL V

(30)Priority

Priority number: 96 632811 Priority date: 16.04.1996 Priority country: US

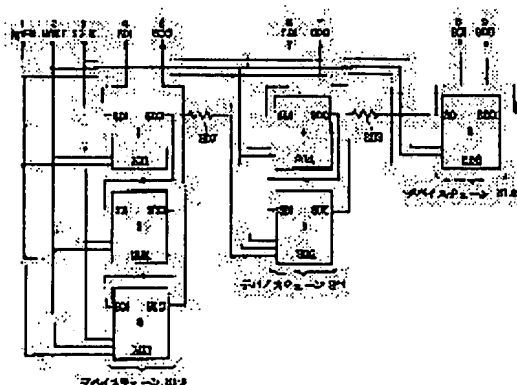
(54) PARALLEL PROGRAMMING OF IN-SYSTEM PROGRAMMABLE DEVICE USING
AUTOMATIC TESTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a programming method for a programmable logic device which minimizes a programming time and maximizes the use efficiency of a tester pin.

SOLUTION: In order to minimize the programming time and maximize the use efficiency of the tester pin, automatic test technology is provided which programs PLDs 301 to 306 constituted in the forms of device chains 310 to 312 at the same time.

Various forms which enable the parallel programming of the device chains are provided for the device chains which use the same programming rule, e.g. an in-system programming (ISP) rule. Further, various



forms enabling the parallel programming of device chains which use different programming rules, e.g. BSCAN(boundary scan) and ISP rules are also provided.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)

[SEARCH](#)

[INDEX](#)

[DETAIL](#)

特開平 10-97511

(43) 公開日 平成 10 年 (1998) 4 月 14 日

(51) Int. Cl. ⁸	識別記号	F I		
G06F 15/16	430	G06F 15/16	430	B
9/06	540	9/06	540	M

審査請求 未請求 請求項の数 7 OL (全 14 頁)

(21) 出願番号 特願平 9-98838

(22) 出願日 平成 9 年 (1997) 4 月 16 日

(31) 優先権主張番号 08/632811

(32) 優先日 1996 年 4 月 16 日

(33) 優先権主張国 米国 (US)

(71) 出願人 597062454
レイティス セミコンダクタ コーポレイ
ション
LATTICE SEMICONDUCT
OR CORPORATION
アメリカ合衆国, オレゴン 97124
, ヒルスボロ, ノース イースト ム
ーア コート 5555

(72) 発明者 ハワード タン
アメリカ合衆国, カリフォルニア 95
129, サン ノゼ, オークツリー
ドライブ 1048

(74) 代理人 弁理士 小橋 一男 (外 1 名)

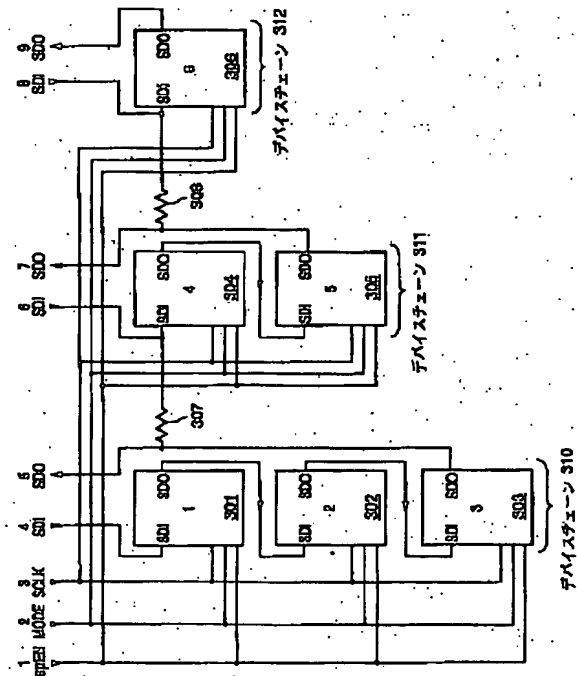
最終頁に続く

(54) 【発明の名称】 自動テスターを使用したシステム内プログラム可能装置の並列プログラミング

(57) 【要約】

【課題】 プログラミング時間を最小とし且つテスター
ピンの利用効率を最大とさせたプログラム可能論理装置
のプログラミング方法を提供する。

【解決手段】 プログラミング時間を最小とし且つテス
ターピンの利用効率を最大とさせるために、デバイスチ
ェーン (310-312) の形態に構成した PLD (3
01-306) を同時にプログラムするための自動的
テスト技術が提供される。デバイスチェーンの並列プロ
グラミングを可能とする種々の形態が同一のプログラ
ミング規則、例えばシステム内プログラミング (ISP)
規則を使用するデバイスチェーンに対して提供される。
異なるプログラミング規則、例えば BSCAN 及び IS
P 規則を使用するデバイスチェーンの並列プログラミ
ングを可能とする種々の形態も提供されている。



【特許請求の範囲】

【請求項1】 各プログラム可能論理装置が制御ピンと、入力ピンと、出力ピンとを有しており、複数のピンを具備する自動テスター（ATE）を使用して複数のプログラム可能論理装置（PLD）を並列的にプログラミングを行なう方法において、

1個又はそれ以上の直列接続したPLDの第一デバイスチェーンを用意し、その場合に、前記第一デバイスチェーンにおける第一PLDの入力ピンを除いて、前記第一デバイスチェーンの前記PLDの各入力ピンを前記第一デバイスチェーンにおける別のPLDの出力ピンへ接続させ、前記第一デバイスチェーンにおける前記PLDの前記制御ピンは互いに且つ前記ATEの第一ピンへ電氣的に結合させ、前記第一デバイスチェーンの前記第一PLDの前記入力ピンを前記ATEの第二ピンへ電氣的に結合させ、

1個又はそれ以上の直列接続したPLDからなる第二デバイスチェーンを用意し、その場合に、前記第二デバイスチェーンにおける第一PLDの入力ピンを除いて、前記第二デバイスチェーンの前記PLDの各入力ピンを前記第二デバイスチェーンにおける別のPLDの出力ピンへ接続し、前記第二デバイスチェーンの前記PLDにおける前記PLDの制御ピンは互いに且つ前記ATEの前記第一ピンへ電氣的に結合させ、前記第二デバイスチェーンの前記第一PLDの前記入力ピンを前記ATEの第三ピンへ電氣的に結合させ、

プログラミング命令及びデータを前記ATEの前記第二ピンを介して前記第一デバイスチェーンの前記PLD内へ及び前記ATEの前記第三ピンを介して前記第二デバイスチェーンの前記PLD内へシフト入力させ、前記第一及び第二デバイスチェーンにおけるPLDを同時にプログラミングさせる、上記各ステップを有することを特徴とする方法。

【請求項2】 請求項1において、前記第一デバイスチェーンにおける最後のPLDの前記出力ピンを抵抗を介して前記第二デバイスチェーンにおける前記第一PLDの前記入力ピンへ結合させることを特徴とする方法。

【請求項3】 請求項1において、更に、

1個又はそれ以上の直列接続したPLDからなる第三デバイスチェーンを用意し、その場合に、前記第三デバイスチェーンにおける第一PLDの入力ピンを除いて、前記第三デバイスチェーンの前記PLDの各入力ピンを前記第三デバイスチェーンにおける別のPLDの出力ピンへ接続させ、前記第三デバイスチェーンの前記PLDにおける前記PLDの制御ピンを互いに且つ前記ATEの第四ピンへ電氣的に結合させ、前記第三デバイスチェーンの前記第一PLDの前記入力ピンを前記ATEの第五ピンへ電氣的に結合させ、

1個又はそれ以上の直列接続したPLDからなる第四

スチェーンにおける第一PLDの入力ピンを除いて、前記第四デバイスチェーンの前記PLDの各入力ピンを前記第四デバイスチェーンにおける別のPLDの出力ピンへ接続させ、前記第二デバイスチェーンの前記PLDにおける前記PLDの前記制御ピンを互いに且つ前記ATEの第六ピンへ電氣的に結合させ、前記第四デバイスチェーンの前記第一PLDの前記入力ピンを前記ATEの第七ピンへ電氣的に結合させ、

(i) 前記プログラミング命令及びデータをシフト入力させるステップが、更に、前記ATEの前記第五ピンを介して前記第三デバイスチェーンの前記PLD内へ及び前記ATEの前記第七ピンを介して前記第二デバイスチェーンの前記PLD内へシフト入力させ、且つ(ii) 前記同時にプログラミングするステップが前記第三及び第四デバイスチェーンを同時にプログラムする、上記各ステップを有することを特徴とする方法。

【請求項4】 請求項3において、前記第二デバイスチェーンにおける最後のPLDの出力ピンを抵抗を介して前記第三デバイスチェーンの前記第一PLDの前記入力ピンへ電氣的に結合させることを特徴とする方法。

【請求項5】 請求項1において、前記第一及び第二デバイスチェーンを各々異なるプログラミング規則に従ってプログラムさせることを特徴とする方法。

【請求項6】 各プログラム可能論理装置が制御ピンと、入力ピンと、出力ピンとを有しており、複数のピンの自動テスター（ATE）を使用して、複数のプログラム可能論理装置（PLD）を並列的にプログラミングする方法において、

1個又はそれ以上の直列接続したPLDからなる第一デバイスチェーンを用意し、その場合に、前記第一デバイスチェーンにおける第一PLDの入力ピンを除いて、前記第一デバイスチェーンの前記PLDの各入力ピンを前記第一デバイスチェーンにおける別のPLDの出力ピンへ接続させ、前記第一デバイスチェーンにおける前記PLDの前記制御ピンを互いに且つ前記ATEの第一ピンへ電氣的に結合させ、前記第一デバイスチェーンの前記第一PLDの前記入力ピンを前記ATEの第二ピンへ電氣的に結合させ、

1個又はそれ以上の直列接続したPLDからなる第二デバイスチェーンを用意し、その場合に、前記第二デバイスチェーンにおける第一PLDの入力ピンを除いて、前記第二デバイスチェーンの前記PLDの各入力ピンを前記第二デバイスチェーンにおける別のPLDの出力ピンへ接続させ、前記第二デバイスチェーンの前記PLDにおける前記PLDの制御ピンを互いに且つ前記ATEの第三ピンへ電氣的に結合させ、前記第二デバイスチェーンの前記第一PLDの前記入力ピンを前記ATEの第四ピンへ電氣的に結合させ、

プログラミング命令及びデータを前記ATEの前記第二ピンを介して前記第一デバイスチェーンの前記PLD内

へ及び前記ATEの前記第四ピンを介して前記第二デバイスチェーンの前記PLD内へシフト入力させ、前記第一及び第二デバイスチェーンにおけるPLDを同時にプログラミングする、上記各ステップを有することを特徴とする方法。

【請求項7】 請求項1において、前記第一デバイスチェーンにおける最後のPLDの前記出力ピンを抵抗を介して前記第二デバイスチェーンにおける前記第一PLDの前記入力ピンへ結合させることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プログラム可能論理装置及び自動テスト装置(ATE)即ちテスターを使用してそのような装置をプログラミングする技術に関するものである。特に、本発明は、ATEをコンフィギュア即ち形態を特定し且つ複数のプログラム可能論理装置(PLD)を並列的にプログラミングを行なうためにデバイスチェーンへ形態特定する技術に関するものである。

【0002】

【従来の技術】フィールド即ち現場でプログラムすることの可能なPLDであるインシステムプログラミング即ちシステム内プログラミング装置は、極めて柔軟性のある装置である。何故ならば、それは、プログラマーに対して除去することを必要とすることなしに、その動作環境においてプログラムすることが可能だからである。インシステムプログラミング(ISP)即ちシステム内プログラミングは、例えば、1991年5月3日付で出願された米国特許出願第695,356号で1993年8月17日付で特許が発行された米国特許第5,237,218号「インシステムプログラミング用ピンを多重化させる構造及び方法(Structure and Method for Multiplexing Pins for In-system Programming)」(G. Josephson et al.)に開示されている。システム内プログラム可能装置の一例においては、内部ステートマシン及び5ピンプログラミングインターフェース、即ちISPEN、MODE、SCLK、SDI、SDOピンをPLDに設けることによってシステム内プログラミングが行なわれる。ISPEN(ISPイネーブル)ピンは、PLDをシステム内プログラミングモードとさせるために使用される。システム内プログラミング期間中に、クロック信号はSCLKピンへ供給され、且つプログラミングを行なうための内部ステートマシンを制御するためのシステム内制御ビットがMODEピンを介してPLDへ供給される。SDIピン及びSDOピンは、夫々、プログラミング命令及びデータをPLD内へシフト入力させるための直列入力ピン及び直列出力ピンである。典型的に、複数のPLDのシステム内プログラミングは、共通接続されたIS

PINピン、MODEピン及びSCLKピンを使用して、多数のシステム内プログラム可能PLDをSDOからSDIヘデージーチェーン接続させることによって行なうことが可能である。ISPENピン上の信号がアサート即ち活性化される場合にISPモードが設定されるので、MODEピン、SCLKピン、SDIピン、SDOピンは、時折、ISPモードにない場合には、その他の目的のためにマルチプレクス即ち多重化される。

【0003】最近、PLDが使用されるシステムの動作環境内において且つ単一の装置上でPLDのプログラミングと、プログラミングの検証と、PLDのテストとを行なう利点を得るために、自動テスターを使用してPLDのプログラミングも行なわれている。自動テスターを使用するPLDのプログラミングは、例えば、本願出願人に譲渡されている1995年7月21日付で出願された米国特許出願第08/505,837号(代理人ドケット番号M-3374-US)「システム内プログラム可能集積回路のプログラミング方法(Method for Programming of In-system Programmable Integrated Circuits)」(Howard Tang)に開示されている。

【0004】従来技術においては、従来のISPプログラミングコンフィギュレーション(形態)でPLDをプログラムするためにATEにおいて使用されるベクトルファイルの寸法は、しばしば、ATEのテストベクトルメモリのアドレス可能な寸法によって制限されている。何故ならば、多くのテスターは、各メモリ位置が1個のテストベクトルを格納するように設けられているからである。例えば、ATEテストベクトルメモリが16ビットアドレスバスによってアドレスされる場合には、最大のベクトル数は64Kに制限される。尚、このKは1024個である。従って、大きなコンフィギュレーション(形態)のPLDの場合には、ベクトルファイルの寸法がATEテスター内に保持するのには大きくなり過ぎる場合がある。従って、ベクトルファイルは、しばしば、幾つかのより小さなファイルへ分割され、それらの分割されたファイルが一度に1個のファイルずつテスター内へロードされ、従って全体的なプログラミング時間は各ファイルの個別的なプログラミング時間の和である。製造においては、高いスループットは望ましい目標である。従って、単一のテスター上で多数のPLDを同時にプログラムし且つテストを行ない、複数のファイルをローディングする必要性なしにこのような動作に対して必要とされる全体的な時間を最小とさせることが望ましい。

【0005】

【発明が解決しようとする課題】本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、プログラム可能装置を効率的に且つ高い処

理能力でプログラムすることを可能としたプログラミング方法を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、複数のピンを有する自動テスター（ATE）を使用して、プログラム可能論理装置（PLD）を並列的にプログラミングする方法を提供している。本発明は、例えば「システム内プログラミング」又は「バウンダリスキャン（boundary scan）」等の種々のプログラミング規則のうちのいずれか1つのPLDへ適用可能なものである。典型的に、このようなプログラム可能論理装置は、1個又はそれ以上の制御ピン（例えば、ISPEN、MODE、SCLK）、1個の直列入力ピン、1個の直列出力ピンを有している。

【0007】本発明方法によれば、第一の実施例においては、各々が1個又はそれ以上の直列接続即ちデジーチェーン接続されたPLDを有する2個又はそれ以上のデバイス（装置）チェーンをATEによってプログラミングを行なうために接続させる。一実施例においては、両方のデバイスチェーンの制御ピンを共通接続させ且つATEの単一のピンへ接続させる。各デバイスチェーンの入力ピンはデータ入力用のATEピンに割当てて。デバイスチェーンのプログラミングは、プログラミング命令及びデータを各デバイスチェーンの入力ピンを介して各デバイスチェーンのPLD内へシフト入力させ、且つ各PLDにおけるプログラミング機構を同時に活性化させることによって行なわれる。両方のデバイスチェーンの制御ピンが同一のATEピンへ結合されるので、デバイスチェーンの各々における制御機構は実質的に同一である。

【0008】本発明の1つの側面によれば、1個のデバイスチェーンの出力ピンが抵抗によって他のデバイスチェーンの入力ピンへ結合される。この抵抗によって、第一デバイスチェーンの入力ピンを介して両方のデバイスチェーンの従来のデジーチェーンプログラミングを達成することが可能である。

【0009】本発明の第二実施例においては、各デバイスチェーンの1個又はそれ以上の制御ピンがATEピンへ別々に結合されるという点を除いて、2つのデバイスチェーンが第一実施例におけるのと実質的に同一の態様で用意される。各デバイスチェーンの制御ピンは、各々、ATEピンへ別個に結合されるので、これらのデバイスチェーンにおける制御機構は異なるものとすることが可能である。実際に、本発明は、例えばISP及びBSCAN（「バウンダリスキャン」）プログラミング規則のもの等の異なる内部ステートマシンによって制御されるデバイスチェーンに対する並列プログラミングを行なうことを可能とする。

【0010】本発明の第三実施例においては、第一実施例の態様でコンフィギュア即ち形態を特定したデバイス

チェーン、及び第二実施例の態様で形態を特定したデバイスチェーンを同時に設けることが可能である。本発明の1つの側面によれば、1つのデバイスチェーンの出力ピンを別のデバイスチェーンの入力ピンへ結合させるために抵抗を設けることが可能である。この抵抗を使用して、従来のデジーチェーンプログラミングを達成することが可能である。

【0011】本発明は、長いプログラミングデジーチェーンを同時に又は並列的にプログラムすることの可能な別個のデバイスチェーンへ分割させることによってベクトルファイル、従ってプログラミング時間を短縮させることを可能としている。

【0012】

【発明の実施の形態】本発明は例えばテスター等の自動テスト装置（ATE）を使用して、複数のプログラム可能論理装置（PLD）を並列的にプログラミングする方法を提供している。本発明の一実施例は、図1aにシステム100として示してあるが、それは従来のISPプログラミングと、本発明に基づく並列プログラミングの両方を行なうことを可能としている。

【0013】図1aに示したように、システム100はデジーチェーン接続状態としたPLD101、102、103を有している。このコンフィギュレーション即ち形態においては、PLD101の直列データ出力（SDO）端子は、抵抗104を介して、PLD102の直列データ入力（SDI）端子へ結合している。同様に、PLD102のSDO端子は、抵抗105を介してPLD103のSDI端子へ結合している。PLD101-103の夫々のシステム内へプログラミングイネーブル（ISPEN）ピン、モード（MODE）ピン、スキャンクロック（SCLK）ピンは共通接続されている。ATEによるプログラミングを可能とするために、ISPENピン、MODEピン、SCLKピンは、ATEの出力ピン1-3へ夫々接続している。更に、図1aに示したように、PLD101-103のSDI及びSDOピンは、夫々、ピン4-5、6-7、8-9へ接続している。

【0014】この形態においては、ATEピン6及び8が高インピーダンス状態にあると、システム100は従来のデジーチェーンISP技術を使用してプログラムすることが可能である。勿論、この形態は、従来のプログラミング装置を使用して従来のISPプログラミングを行なうことも可能としている。

【0015】一方、並列プログラミングは、ATEピン6及び8を介してPLD102及び103へデータ及び命令を供給することによって行なうことが可能であり、3つの装置の全てのプログラミングは、ATEピン1-3によって駆動されるISPENピン、MODEピン、SCLKピンによって制御される。システム100においては、PLD101-103のステートマシンは実質

的に同一に制御されねばならない。従来のISP及び並列プログラミングモードが可能である。何故ならば、ATEピン6より8の各々が論理信号をアサートする場合には、抵抗104及び105がPLD102及び103のSDI端子をPLD101-102のSDO端子から分離させるからである。ATEピン6及び8が高インピーダンス状態にある場合には、抵抗104及び105は、PLD101及び102のSDO端子における論理値をPLD102及び103のSDI端子へ結合させる。

【0016】図1bはシステム100で使用するベクトルファイルの一例を示している。図1bにおいて各ライン上の二進データはPLDの並列プログラミング用のスキヤククロック(SCLK)の1クロック周期期間中に、ATEピン1-9においての励起に対応している。図1bの表示において、論理値「1」及び「0」の他に、「don't care」の論理値は「X」で表わしており、且つISPプログラミング期間中にSDOピンへ印加される高電圧及び低電圧は、夫々、「H」及び「L」で表わしてある。明らかに、図1aの形態によれば、デジタイゼーション接続した従来のISPプログラミング又は本発明の並列プログラミングを行なう場合に、何個のPLDを接続させるかについて制限はない。図1aの形態内に設けられる各PLDに対して、付加したPLDのSDI及びSDO端子を結合させるために2つの付加的なATEピンが必要とされる。そのために、システム100の基本形態は「2ピンATEセットアップ」と呼称される。

【0017】図2bは本発明の別の実施例に基づくシステム200を示しており、それは、ISP端子(即ち、ISPEN、MODE、SCLK、SDI、SDOピン)が別個のATEピンによって駆動されるような形態とされたPLD201-203を有している。図2aに示したように、PLD201-203のISP制御ピンはATEピン1-3、6-8、11-13によって夫々駆動される。この形態においては、各PLDがそれ自身の組のISP制御信号を受取るので、PLD201-203のステートマシンは個別的に制御することが可能である。ATEピン9及び14を高インピーダンス状態に保持し且つATEピン1-3、6-8、11-13に同一の励起を与えることによって、システム200において従来のISPプログラミングを行なうことも可能である。然しながら、この形態においては、該形態へ付加する各PLDに対して、5つの付加的なATEピンが必要とされる。従って、システム200の形態は「5ピンATEセットアップ」と呼称される。図2bはシステム200の形態に対するテストベクトルファイルを示している。図2bにおけるテストベクトルファイルの各ライン上の二進データは、システム200の並列プログラミングの場合に、SCLKクロックのクック周期における

ATEピン1-15の励起に対応している。

【0018】上述した2ピンATEセットアップ及び5ピンATEセットアップは同一のシステム内に同時に設けることが可能である。このようなシステムの一例を図5aのシステム500として示してある。図5aに示したように、PLD501-502が5ピンATEセットアップ形態で設けられており、且つPLD503-504が2ピンATEセットアップ形態で設けられている。従って、ATEピン(1-10)がPLD501-502を駆動するために設けられており、且つ7個のATEピン(11-18)がPLD503-504を駆動するために設けられている。PLD502及び503は抵抗506によって従来のISP態様でデジタイゼーション接続されており、従ってATEピン9、14、16を高インピーダンス状態に保持し且つPLD501-503に対するISP制御ピン(即ちATEピン1-3、6-8、11-13)において同一の励起を与えることによって、従来のISPプログラミングを行なうことが可能である。

【0019】図5bはシステム500の並列プログラミング用のベクトルファイルの一例を示しており、SCLKクロックの各クロック周期に対するATEピン1-17に対する励起を示している。

【0020】上述した2ピンATEセットアップ及び5ピンATEセットアップは、更に、デバイスチェーンと共に使用することも可能である。デバイスチェーンは、従来のISPプログラミング用の形態としたデジタイゼーション接続した複数の装置から成る1つのグループである。2ピンATEセットアップの一例を図3のシステム300として示してある。図3に示したように、PLD301-303はデバイスチェーン310を構成しており、且つATEピン1-3によって駆動されるそれらの共通接続したISP制御ピンを使用してプログラムすることが可能であり、その場合に、命令及びデータはATEピン4によって駆動されるPLD501のSDIピンにおいてPLD301-303内へ直列的にシフト入力される。同様に、PLD304-305は第二デバイスチェーン311を形成しており、且つPLD306は1個のPLDからなる第三デバイスチェーン312を形成している。各デバイスチェーンには、SDIピンを駆動するため、及びデバイスチェーンにおける最後のPLDのSDOピンからシフト出力されたデータを受取るために夫々2個のATEピンが設けられている。PLD301、304、306のISP制御ピンは2ピンATEセットアップでATEピン1-3へ共通接続されており、従ってデバイスチェーン310-312は並列にプログラムすることが可能である。勿論、この形態においては、PLD301-306のISPステートマシンは同一に制御される。

【0021】システム300において抵抗307及び3

08がデバイスチェーン310をデバイスチェーン311へ及びデバイスチェーン312をデバイスチェーン312へ結合している。従って、従来のISPプログラミングにおいては、(a) ATEピン1-3がISP制御ピンへプログラミング制御を与え、(b) ATEピン4がPLD301のSDI端子へデータ及び命令を駆動し、(c) ATEピン9がPLD306のSDO端子においてPLD301-306のデジタイズチェーンからシフト出力された直列データを受取り、且つ(d) ATEピン6及び8が高インピーダンス状態に保持される。

【0022】図4は並列プログラミング用に5ピンATEセットアップ用に結合したデバイスチェーン410-412(即ち、夫々、PLD401-403、404-405、406)を有するシステム400を示している。システム400においては、図3のデバイスチェーン310-312と異なり、デバイスチェーン410-412は独立的に制御することが可能である。勿論、ATEピン9及び14を高インピーダンス状態に保持し且つデバイスチェーン410-412の対応するISP制御ピン、即ちATEピン1-3、6-7、11-13、を同一に駆動することによって、従来のISPプログラミングを行なうことも可能である。

【0023】上述した説明から当業者にとって明らかのように、並列化、即ち2ピンATEセットアップか又は5ピンATEセットアップのいずれかで1個のデバイスチェーン(単一PLD「チェーン」を含む)を付加することは、付加的なATEピンを必要とする。付加的なATEピンはベクトルファイル幅の増加としてベクトルファイルにおいて表われる。然しながら、PLDを既存のデバイスチェーンへ付加する場合には、そのデバイスチェーンをプログラミングするのに必要な時間が増加する。プログラミング時間の増加はベクトルファイルの長さ即ち「深さ」における増加としてベクトルファイルに表われる。より長い長さのベクトルファイルはより長いプログラミング時間を必要とする。典型的に、ATEは、並列プログラミング用の多数のデバイスチェーンを受け付けるために多数のテストピン(例えば、200個のピンを越えるもの)を有している。上述したように、ベクトルファイルの深さは、しばしば、ATEメモリのアドレス可能な寸法によって制限される。何故ならば、多くのテスターでは、各メモリ位置が1個のテストベクトルに対応するように設けられているからである。幾つかのテスターにおいては、メモリの幅を増加させることによって付加的なピンを設けることが可能である。然しながら、アドレス可能な位置の数、従ってメモリ内に格納することの可能なテストベクトルの数は、アドレス空間によって拘束される。従って、2ピンATEセットアップ又は5ピンATEセットアップを使用することの1つの利点は、ベクトルファイルの深さを最小とさせることである。本発明においては、ベクトルファイルの

深さは、複数のデバイスからなる長いデジタイズチェーンを並列プログラミング用の複数の並列チェーンへ分割することによって最小とされる。各並列チェーンは、勿論、2ピンATEセットアップか又は5ピンATEセットアップのいずれかが使用されるかに従ってベクトルファイルの幅を増加させる。

【0024】図6は、デバイスチェーンの長さを等しくさせることによってベクトルファイルの深さを更に減少させることが可能であることを示している。図6はPLD303をデバイスチェーン310からデバイスチェーン312へ移動させることによってシステム300を修正している。その結果、デバイスチェーン310-312は実質的に同一の長さであり、その際にプログラミング時間を最小としている。従って、本発明に基づいてプログラミング時間を最小とさせる1つのアプローチは、全てのATEピンが割当てられるまで、2ピンATEセットアップ、5ピンATEセットアップ、又はこれらのセットアップの任意の組み合わせにおいて、PLDを最初に単一ピンデバイスチェーンとして割当てることである。その後、全てのPLDに対して割当てが行なわれるまで、1個のPLDを順番に各デバイスチェーンへ割当てていく。この対応においては、最も長いデバイスチェーンは、高々、最も短いデバイスチェーンよりも1個のPLDだけ長いだけである。本発明は、更に、異なるプログラミング制御規則を使用する複数のPLDの並列プログラミングへ適用することも可能である。図9は、ISP及びBSCANプログラミング規則の下で動作しているPLDに対する共通クロック及び入力ピンを使用して、システム900を並列的な態様でプログラムするためにどのようにしてATEテスターを使用することが可能であるかを更に示している。ISP及びBSCANプログラミング規則は当業者に公知である。図7及び8は夫々ISP及びBSCANプログラミング規則の下でプログラミングを制御するためのステートマシンを示している。BSCANプログラミング規則の下では、TMS(「テストモードセレクト」)、TCK(「テストクロック」)、TDI(「テストデータ入力」)、TDI(「テストデータ出力」として指定された4個のピンがプログラミング動作のために設けられている。図9に示したように、デバイスチェーン910は従来のISPデジタイズチェーンの形態としたPLD901-903を有しており、ISP制御ピン(即ち、ISPEN、MODE、SCLK)はATEピン1-3によって駆動され、且つデバイスチェーン910の最初の即ち第一PLDであるPLD901のSDIピンはATEピン4によって駆動され、且つデバイスチェーン910における最後のPLDであるPLD903のSDOピンはATEピン5へ結合されている。PLD904-906によって形成されておりBSCANプログラミング規則の下でプログラムされるべきデバイスチェーン911は、PLD

904-906のTMSピンがATEピン6によって駆動されるような形態とされている。PLD904-906のTCKは、ATEピン3上のクロック信号を共有し、ATEピン3は、更にPLD901-903のSCLK端子へも結合されている。PLD904-906はデジチェーン形態でデバイスチェーン911内において接続されており、デバイスチェーン911の最初即ち第一PLDであるPLD904のTDIピンはATEピン6によって駆動され、且つデバイスチェーン910の最後のPLDであるPLD906のTDOピンはATEピン7へ接続している。

【0025】動作期間中に、デバイスチェーン910のISPENピンはATEピン1によって低状態へ駆動されて、デバイスチェーン910のPLD901-903をISPモードとさせる。同時に、ATEピン2(MODE)、ATEピン3(SCLK)、ATEピン4(SDI)は、命令及びデータをデバイスチェーン910内へシフト入力させるために使用される。ATEピン5、即ちSDOピンは、デバイスチェーン910からデータを受取る。この時間期間中に、ATEピン6(TMS)は論理高状態へセットされ、デバイスチェーン910を「テスト論理リセット」状態とさせ、その場合に、デバイスチェーン911のPLD904-906はATEピン4上の入力データを無視する。データ及びプログラミング命令が完全にデバイスチェーン910内へシフト入力された後に、ATEピン2(MODE)は低論理状態に保持され、従ってデータ及び命令はATEピン3(TCK)上のクロック信号を使用して、ATEピン4(TDI)を介してデバイスチェーン911内へシフト入力させることが可能である。デバイスチェーン911からシフト出力されたデータはATEピン6(TMS)で受取られる。

【0026】ISPENピンが低論理状態に留まっている間に、MODEピンが低論理状態にあるATEピン2によって駆動されると、デバイスチェーン910は「シフト」状態に維持され、その場合にデバイスチェーン910のSDIピンにおけるデータは無視される。データ及びプログラミング命令がデバイスチェーン911内へシフト入力された後に、ATEピン2及び6によって夫々駆動されるTMS及びMODEピンは、ATEピン3上の共通クロック信号と関連して、デバイスチェーン910を「実行」状態とさせ且つデバイスチェーン911を「ランテストアイドル」状態とさせる。従って、デバイスチェーン910及び911はそれらの夫々のプログラミング規則に従って同時にプログラミングされる。プログラミングされたデータの検証も同様に達成することが可能である。ATEピン6(TMS)が論理高状態に保持されている間に、即ちデバイスチェーン911が「テスト論理リセット」状態に維持されている間に、ATEピン2(MODE)、ATEピン3(SCLK)、

ATEピン4(SDI)は、検証のためにデバイスチェーン910内のPLD901-903からATEピン5(SDO)へデータをシフトするために使用される。デバイスチェーン910内にプログラムされたデータを検証した後に、ATEピン2(MODE)は論理低状態に保持され、即ち上述した「シフト」状態に保持され、ATEピン3(TCK)、ピン4(TDI)、ピン6(TMS)を使用して、デバイスチェーン911内のPLD904-906からデータをシフト出力させることを可能とさせる。

【0027】図10は、更に、IST及びBSCANプログラミング規則の下で、共通のクロック、入力及び出力ピンを使用して、シーケンシャル即ち逐次的な態様でシステム100をプログラムするためにどのようにしてATEテスターを使用することが可能であることを示している。図10は、最小数のピンで単一のATE上でISP及びBSCANデバイスチェーンをプログラムすることの可能な形態を示している。図10は、ISP規則のPLD1001-1003から構成されているデバイスチェーン1010、及びBSCANプログラミング規則のPLD1004-1005から構成されているデバイスチェーン1011を示している。デバイスチェーン1010はATEピン1-5によって駆動される従来のISP態様の形態とされている。デバイスチェーン1010はPLD1004-1005のTMSピンをATEピン6によって駆動される形態とされている。PLD1004及び1005のTCKピンは、ATEピン3上のクロック信号を受取り、その際にデバイスチェーン1010のPLD1001-1003でクロック信号を共用している。更に、デバイスチェーン1011のTDI及びTDOピンは、デバイスチェーン1010のSDI及びSDOピンと共通に、ATEピン4及び5へ接続している。

【0028】図10において、ISPENピン(ATEピン1)は、最初に、低論理状態へ駆動されてデバイスチェーン1010をプログラミングモードとさせる。同時にデバイスチェーン1010のSDOピン(ATEピン5)は活性状態であり且つ論理値の駆動を開始する。ATEピン5に接続しているデバイスチェーン1011のTDOピン、従ってデバイスチェーン1010のSDO端子が高インピーダンス状態に維持されることを確保するために、デバイスチェーン1011のPLD1004及び1005のTMSピンは高状態に維持される。同様に、デバイスチェーン1011がプログラミングされている間に、ISPENピン(ATEピン1)は高状態へ駆動されて、デバイスチェーン1010のSDO端子を高インピーダンス状態とさせる。この形態においては、デバイスチェーン1010及び1011はISP規則態様で個別的にプログラミングされる。

【0029】図11はISPEN及びBSCANプログ

ラミング規則を使用したシーケンシャルプログラミングの別の変形例を示しており、その場合に、デバイスチェーン 1110 及び 1111 は MODE、入力、出力ピンを共用する。PLD 1101-1102 及び PLD 1103-1105 によって夫々形成されているデバイスチェーン 1110 及び 1111 は、夫々、ISPEN 及び BSCAN プログラミング規則に適合している。図 11 において、ATE ピン 1-5 は従来の ISP 態様でデバイスチェーン 1110 の ISPEN、MODE、SCLK、SDI、SDO ピンを駆動し、且つ ATE ピン 2、ATE ピン 4、ATE ピン 5、ATE ピン 6 は、従来の BSCAN 態様で TMS、TDI、TDO、TCK ピンを夫々駆動する。この形態の下では、ATE ピン 3 及び ATE ピン 6、即ち SCLK ピン及び TCK ピンは交互に活性状態となる。従って、デバイスチェーン 1110 及び 1111 は、それらの夫々のクロック信号が活性状態にある場合に、プログラムさせることが可能である。PLD 1102 の SDO 端子及び PLD 1105 の TDO 端子は、それらの夫々のクロック信号が活性状態にない場合には、それらの高インピーダンス状態にある。

【0030】図 12 はシステム 1200 を示しており、それは ISP 及び BSCAN プログラミング規則の下でデバイスチェーン 1210 及び 1211 を並列的にプログラミングすることを可能としている。システム 1200 は、ISP 規則のデバイスチェーン 1210 の SDO ピン及び BSCAN プログラミング規則のデバイスチェーン 1211 の TDO ピンが共通接続されていないという点を除いて、図 11 のシステム 1100 と同様である。デバイスチェーン 1210 の SDO ピンは、デバイスチェーン 1211 の TDO ピンが活性状態にある場合に、高インピーダンス状態に維持することは必要ではなく、又その逆も又真である。システム 1200 においては、データ及び命令はシーケンシャル即ち逐次的にシフト入力及びシフト出力されるが、ATE ピン 4 の多重化、デバイスチェーン 1210 及び 1211 のプログラミングは並列に実施することが可能である。システム 1200 において、SCLK 及び TCK ピン（即ち、ATE ピン 4 及び ATE ピン 6）は、いつデバイスチェーン 1210 及び 1211 が活性状態であるかを制御する。ATE ピン 6 及び ATE ピン 8、即ち SCLK ピン及び TCK ピンは、各々は、他方のデバイスチェーンのデータ又は命令が他方のデバイスチェーンの直列入力データ端子内へシフト入力されているか又は他方のデバイスチェーンの直列出力データ端子においてシフト出力されている場合に、低論理状態に保持される。

【0031】図 13 はシステム 1300 を示しており、それは図 10 のシステム 1000 の変形例であって、システム 1300 はデバイスチェーン 1010 及び 1011 の並列プログラミングを行なうことを可能とする。システム 1000 と異なり、システム 1300 は PLD 1

003 の SDO ピンと PLD 1005 の TDO ピンとの間に結合されている抵抗 1301 が設けられている。システム 1000 に関して上述したように、命令及びデータは、ATE ピン 2（デバイスチェーン 1010）における MODE 信号又は ATE ピン 6（デバイスチェーン 1011）における TMS 信号を交互に非活性状態に保持することによって、他方のデバイスチェーンが非活性状態にある間に各デバイスチェーン内へシフト入力される。然しながら、抵抗 1301 のために、PLD 1003 の SDO 端子及び PLD 1005 の TDO 端子における出力信号は、両方とも、互いに干渉することなしにプログラミング期間中に活性状態とさせることが可能である。従って、システム 1300 の下では、デバイスチェーン 1010 と 1011 の同時的なプログラミングが可能である。

【0032】図 14 はシステム 1400 を示しており、それは図 11 のシステム 1100 の変形例であって、システム 1400 はデバイスチェーン 1110 と 1111 との並列的なプログラミングを可能としている。システム 1100 と異なり、システム 1400 には、PLD 1102 の SDO ピンと PLD 1105 の TDO ピンとの間に結合されている抵抗 1401 が設けられている。システム 1100 に関して上述したように、命令及びデータは、ATE ピン 3（デバイスチェーン 1110）における SCLK 信号又は ATE ピン 6（デバイスチェーン 1111）における TCK 信号を交互に非活性状態に保持することによって、他方のデバイスチェーンが非活性状態にある間に各デバイスチェーン内へシフト入力される。然しながら、抵抗 1301 のために、PLD 1102 の SDO 端子及び PLD 1105 の TDO 端子における出力信号は、両方共、互いに干渉することなしにプログラミング期間中に活性状態とすることが可能である。従って、システム 1400 の下では、デバイスチェーン 1110 と 1111 の同時的なプログラミングが可能である。

【0033】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

【図面の簡単な説明】

【図 1a】 PLD の ISP 端子を駆動する ATE ピンが「2 ピン ATE セットアップ」の形態で配列されている本発明の一実施例に基づくシステム 100 を示した概略図。

【図 1b】 図 1a のシステム 100 の並列プログラミングのために使用されるベクトルファイルの一例を示した概略図。

【図 2a】 PLD の ISP 端子を駆動する ATE ピンが「5 ピン ATE セットアップ」の形態で配列されてい

る本発明の一実施例に基づいて構成されたシステム 200を示した概略図。

【図 2 b】 図 2 a のシステム 200 の並列プログラミングのために使用されるベクトルファイルの一例を示した概略図。

【図3】 各々がデジーチェーン態様で接続されている1個又はそれ以上のPLDを有しており並列プログラミングのために2ピンATEセットアップ状態に結合されているデバイスチェーン310-312を示した概略図。

【図4】 各々がデジーチェーン態様で接続されている1個又はそれ以上のPLDを有しており並列プログラミングのために5ピンATEセットアップ状態に結合されているデバイスチェーン410-412を示した概略図。

【図 5 a】 5ピンATEセットアップ形態のPLD 501-502及び2ピンATEセットアップ形態のPLD 503-504を有する本発明の一実施例に基づいて構成されたシステム500を示した概略図。

【図5 b】 図5 aのシステム500の並列プログラミングのために使用されるベクトルファイルの一例を示した概略図。

【図6】 デバイスチェーンの長さを調節することによって本発明に基づいてシステム300のプログラミング時間を更に減少させることが可能である状態を示した概略図。

【図7】 ISPプログラミング規則の下でプログラミングを制御するための状態マシンを示した概略図。

【図8】 BSCANプログラミング規則の下でプログラミングを制御するための状態マシンを示した概略図。

【図9】 ISP及びBSCANプログラミング規則の下で動作するPLDに対する共通のクロック及び入力ピンを使用してシステム900を並列的な態様でプログラ

ムするためにどのようにしてATEテスターを使用することが可能であることを示した概略図。

【図 10】 共通のクロック、入力及び出力ピンを有し、シーケンシャルな態様でシステム 1000 をプログラムするために ATE テスターを使用して ISP 及び BSCAN プログラミング規則の下でプログラミングする状態を示した概略図。

【図11】 デバイスチェーン1110及び1111がMODE、入力、出力ピンを共用する場合の、ISTE
10 N及びBSCANプログラミング規則を使用して逐次的にプログラミングする別の変形例を示した概略図。

【図12】 I SP及びBSCANプログラミング規則の下でデバイスチェーン1210及び1211を並列プログラミングすることを可能とするシステム1200を示した概略図。

【図13】 デバイスチェーン1010及び1011の並列プログラミングを可能とした図10のシステム1000の変形例であるシステム1300を示した概略図。

【図１４】 デバイスチェーン１１１０及び１１１１の並列プログラミングを可能とした図１１のシステム１１００の変形例であるシステム１４００を示した概略。

【符号の説明】

100 システム

101, 102, 103 PLD (プログラム可能論理装置)

104, 105 抵抗

301-306 PLD

307, 308 抵抗

310-312 デバイスチェーン

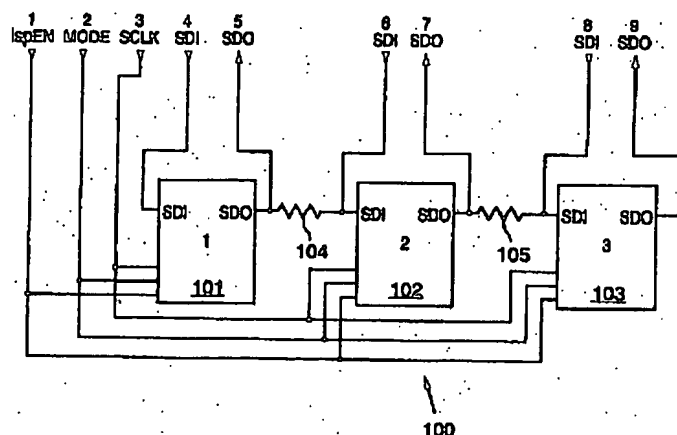
ISPEN システム内プログラミングイネーブル

SCLK スキャンクロック

SDI 直列データ入力

SDO 直列データ出力

【図 1 A】



【図 1 B】

【图 2 B】

【图 5 B】

0000X0X0X
0100X0X0X
0110X0X0X
0100X0X0X
0000X0X0X
0010L0L0L

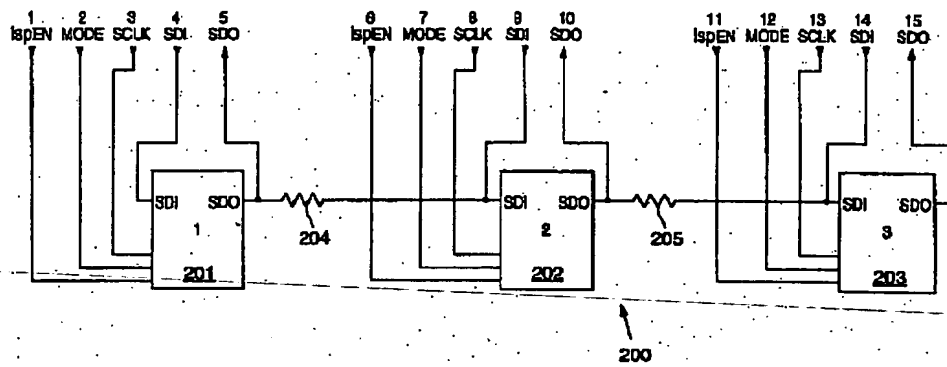
```

0000X0000X0000X
0100X0100X0100X
0110X0110X0110X
0100X0100X0100X
0000X0000X0000X
0010L0010L0010L
0101X0101X0101X
0111X0111X0111X
0101X0101X0101X
0100X0100X0100X

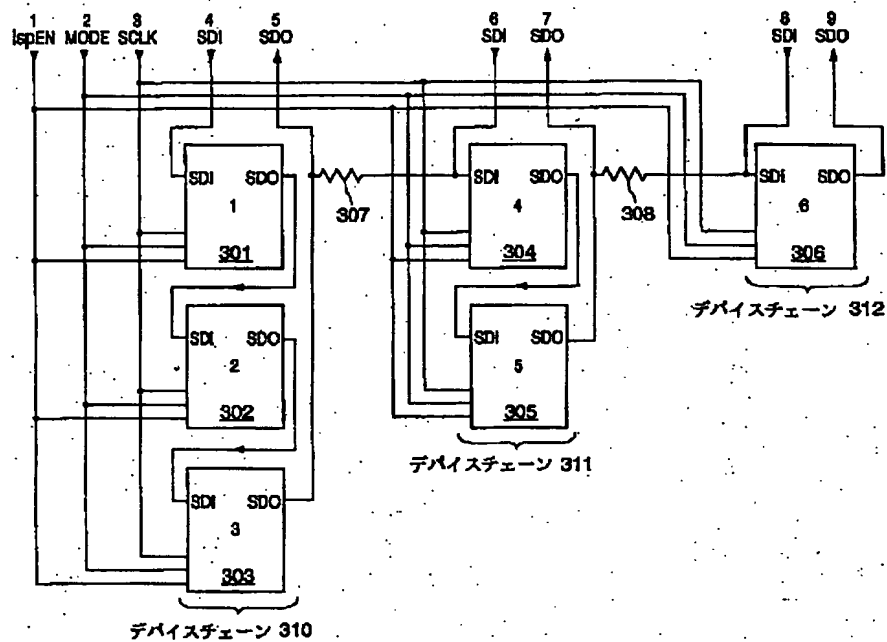
```

[illegible]

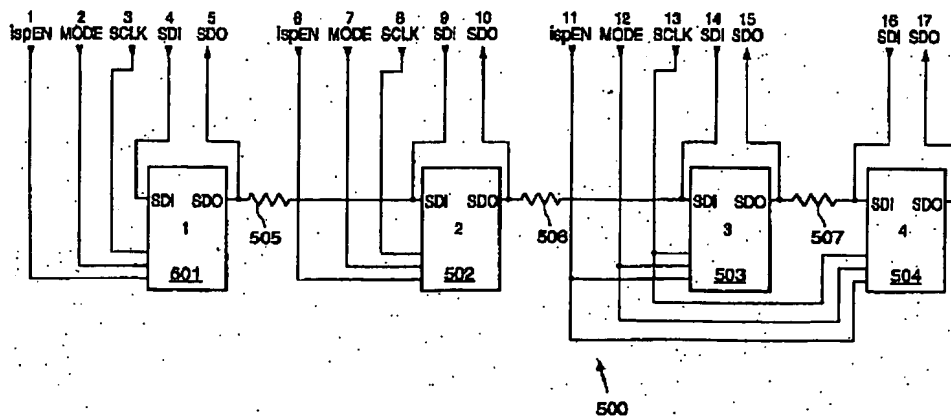
【図 2 A】



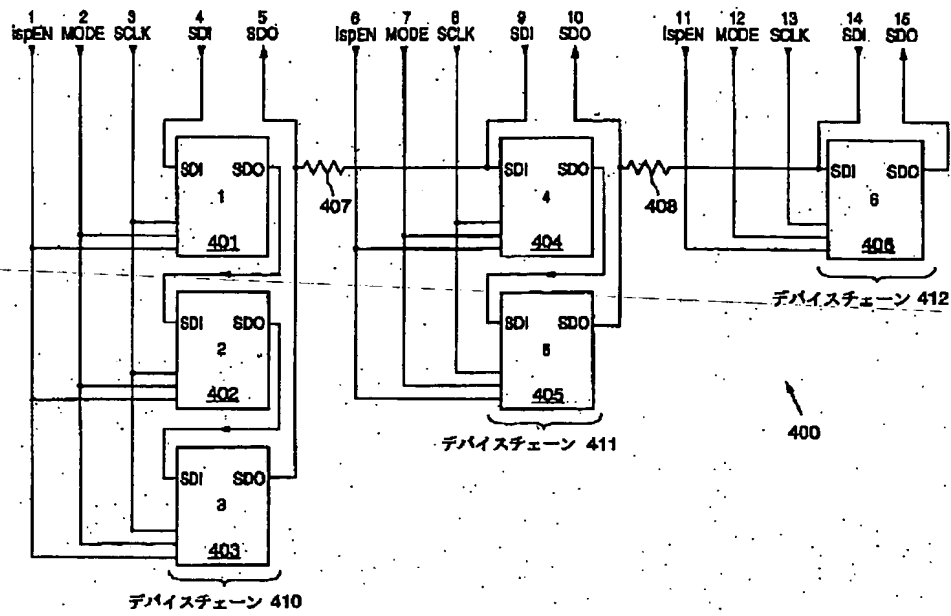
【図 3】



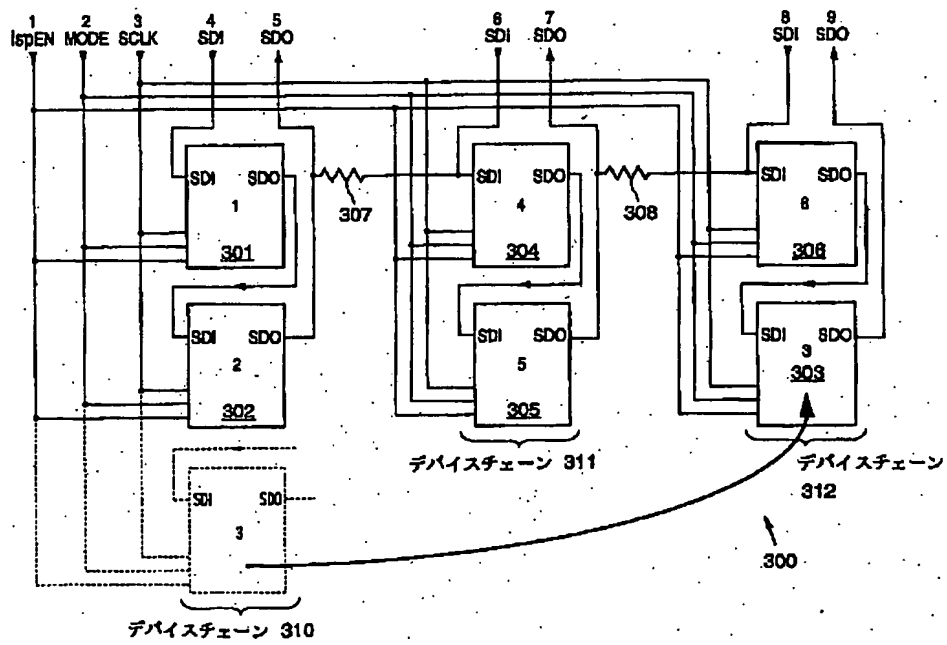
【図 5 A】



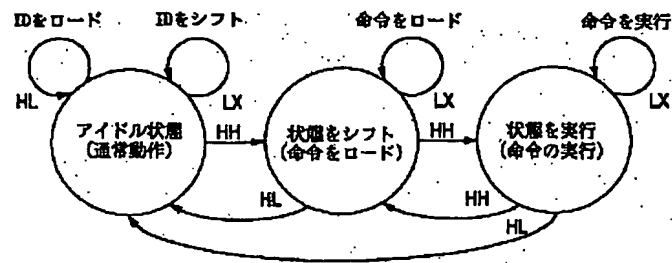
【図 4】



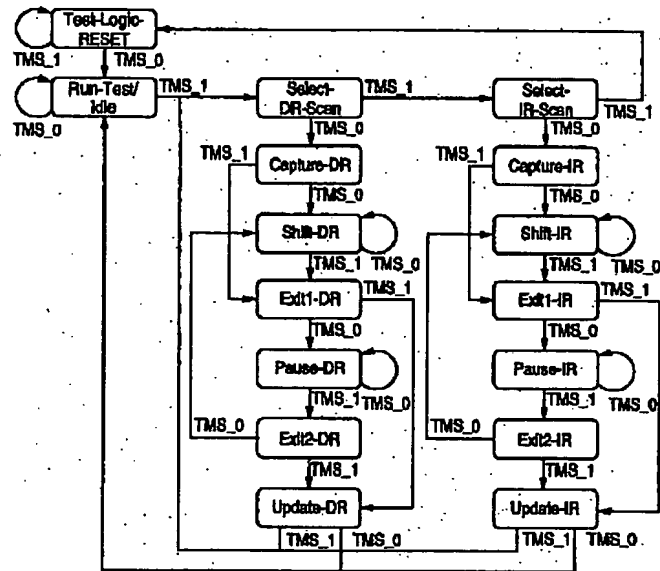
【図 6】



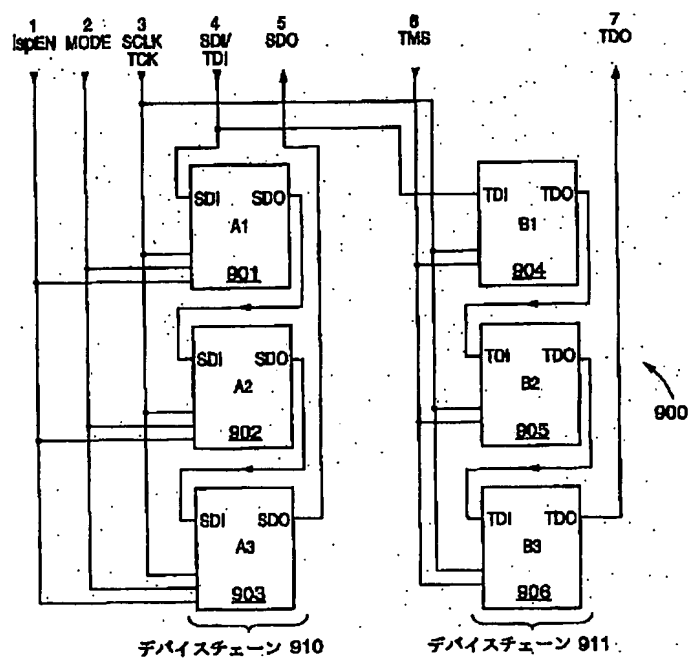
【図7】



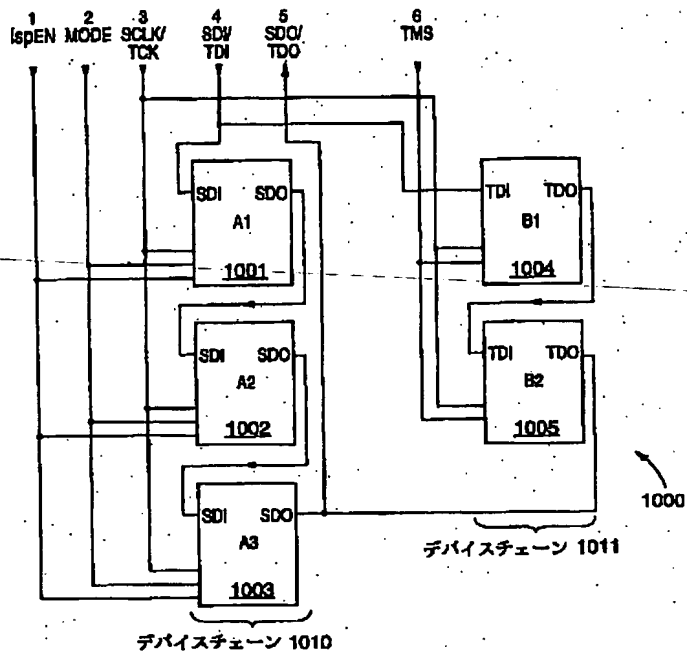
【図8】



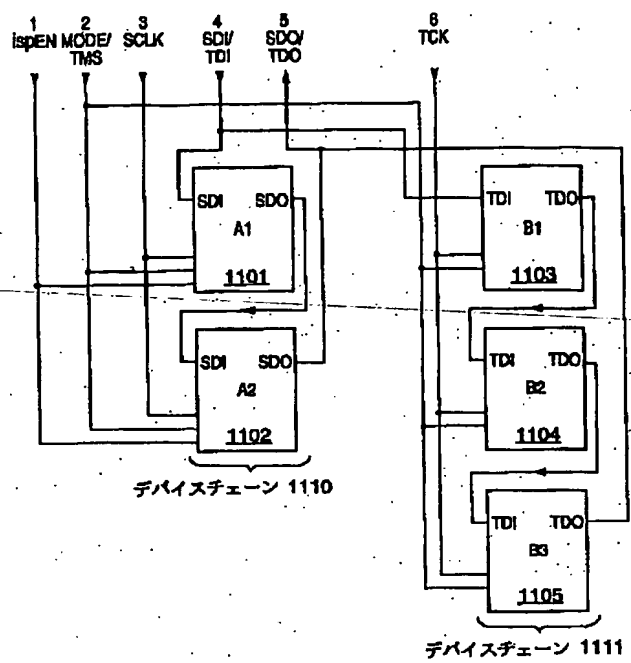
【図9】



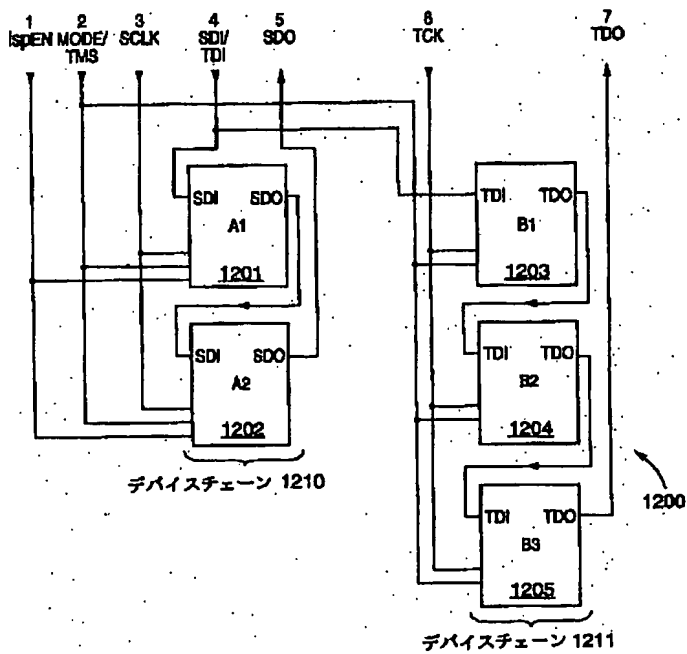
【図 10】



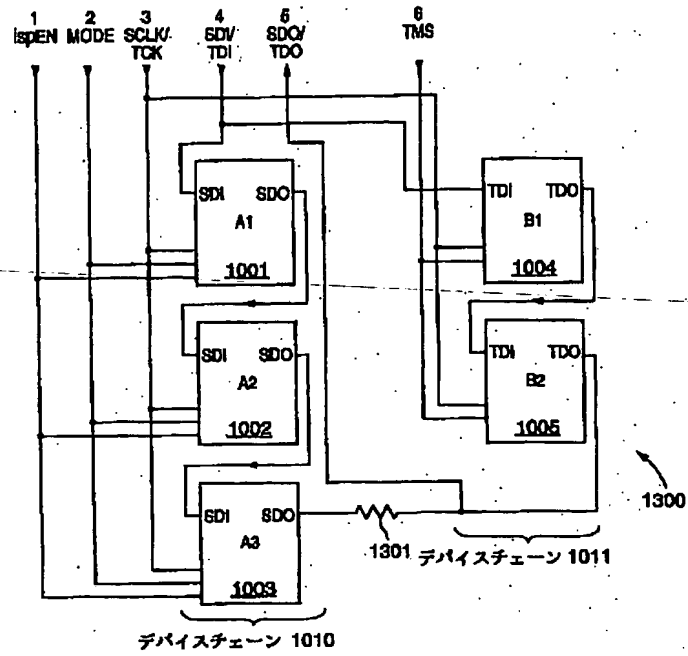
【図 11】



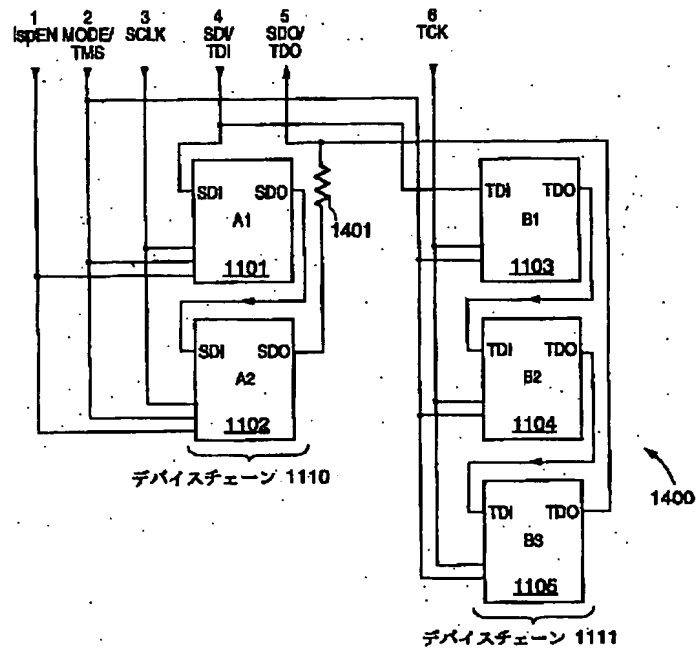
【図 12】



【図 13】



【図 14】



(72)発明者 ダニエル ブイ. パーカー
アメリカ合衆国, カリフォルニア 9 5
1 1 2, サン ノゼ, サウス フォー
ス ストリート 2 0 1, ナンバー 7
1 1

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.